

BEST AVAILABLE COPY

Laid-Open No. 1997-055573

Abstract

Since a direct digital frequency synthesizer (DDS) of the conventional CMOS technology outputs a frequency as low as the maximum dynamic clock frequency, the DDS itself has not been adequate for being a high-frequency synthesizer above 50MHz. To resolve the shortcoming of the low output frequency, the present invention includes a noise molder and a phase accumulator in a structure of pipelines connected in parallel. Therefore, it's made possible to obtain a final output frequency, being synthesized, four time or more higher than a frequency a DDS used to produce, and when made in the conventional CMOS technology, the device becomes miniaturized and operates at low electric power.

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H03L 7/16

(11) 등록번호

특0141285

(21) 출원번호

특1995-053659

(24) 등록일자

1998년03월19일

(22) 출원일자

1995년12월21일

(65) 공개번호

특1997-055573

(73) 특허권자

한국전자통신연구소, 양승택
대한민국

(43) 공개일자

1997년07월31일

(72) 고안자

대전광역시 유성구 가정동 161번지

김대용

대한민국

대전광역시 종구 목동 13-2 현대아파트 103/602

곽명신

대한민국

대전광역시 유성구 어은동 한빛아파트 108-1002호

김영길

원혜종

김명설

심사관: 정연용

74) 대리인

직접 디지털 주파수합성기

약

래의 CMOS 소자기술로 제작된 직접 디지털 주파수 합성기(DDS)의 합성된 주파수는 최대 동작 클럭 주파수의 1/4에 해당하는 낮은 출력 주파수에 DDS 단독으로는 50 MHz 이상의 고주파 합성기로서는 부적당하였다.

래 기술의 단점인 저주파수 출력을 개선하기 위하여, 병렬 연결된 파이프라인 구조의 위상누산기, 및 잡음성형기를 포함하는 것을 특징으로 하는 기술로 제작할 경우 소형화와 저전력화가 가능하다.

포도

해서

명의 영칭]

Digital Frequency Synthesizer

elect digital Frequency Synthesizer)

면의 간단한 설명]

도는 종래의 직접 디지털 주파수 합성기의 구성도.

도는 본 발명의 제 1 실시예에 따른 단일 직접 디지털 주파수 합성기의 블록 구성도.

도는 본 발명에 따른 잡음 정형기의 블록 구성도.

도는 본 발명에 따른 파이프라인 구조의 위상 가산기 블록 구성도.

도는 본 발명의 제 2 실시예에 따른 병렬 구조의 직접 디지털 주파수 합성기의 블록 구성도.

도는 본 발명의 제 2 실시예에 따른 4:1 멀티플렉터(mux)의 블록 구성도.

도는 본 발명의 제 2 실시예에 따른 4:1 멀티플렉터(mux)에 인가된 클럭과 선택 제어 신호의 파형도.

도는 본 발명에 따른 병렬 출력을 다중화 방법으로 합성하는 방법을 설명하는 도면.

도는 본 발명에 따른 디지털 주파수 합성기를 시뮬레이션하여 얻은 사인률 1의 출력단과 최종단의 출력 파형도.

의 주요부분에 대한 부호의 설명

501 : 프리스lew(Pre-Slew) 래치

주파수 레지스터

203 : 위상가산기

위상레지스터

205 : 잡음성형기

206. 511~514 : 디스큐(De-Skew) 래치

207. 515~518 : 사인 품(ROM)

208 : 디지털/아날로그 변환기 209 : 저역통과필터

502 : 주파수 조정 워드 발생기 503~506 : 위상누산기

507~510 : 덧셈기 519 : 멕스

[발명의 상세한 설명]

본 발명은 직접 디지털 주파수 합성기(Direct Digital Frequency Synthesizer)에 관한 것으로 특히, 통상의 저전력 CMOS소자로 제작된 직접 디지털 주파수 합성기의 단점인 낮은 출력 주파수를 개선하여 고속 동작의 높은 출력 주파수를 얻을 수 있도록 구성한 직접 디지털 주파수 합성기에 관한 것이다.

직접 디지털 주파수 합성기란 주파수 입력 레지스터에 주파수 조정 2진 데이터 워드값(Binary Data Word)을 입력하면 이 2진 데이터 워드값에 해당되는 주파수가 출력되는 디지털 신호 발생장치를 말한다.

1 도는 종래의 직접 디지털 주파수 합성기의 블록 구성도이다.

1 수형 발진기(NCO)를 모체로 한 위상누산기(Phase Accumulator)(102)에 2진 데이터값이 입력되면 클럭 주파수에 따라 가산되며, 위상누산기(Sine ROM)(104)에 입력시켜 정현파형(Sinusoidal Waveform)을 나타내는 일련의 데이터 값이 출력되며, 이 출력값이 디지털 아날로그 변환기(A/D Converter)(105)를 통과하면 양자화된 계단파형(Quantized Sinusoid)을 얻게 된다.

종 출력단에서 정현파(Sine Wave)를 얻기 위해서 고주파 성분을 제거시키는 저역 통과 필터(Low Pass Filter)(106)를 다시 거쳐야만 한다. 한 디지털 주파수 합성기에서 얻는 출력 주파수, F_0 는, $F_0 = K \times F_{CLK} / 2N$ 의 관계식에서 계산할 수 있으며, 최대 합성 주파수는 사용하는 클럭 주파수의 약 1/4에 불과하다.

관계식 중 K 는 주파수 조정 워드, N 는 위상누산기의 비트수, F_{CLK} 은 클럭 주파수를 각각 나타낸다.

각서, 높은 합성 주파수 출력을 얻기 위해서는 등작 주파수인 클럭 주파수를 높히거나, 위상 가산속도와 출력 효율을 높일 수 있도록 회로 구성

내의 직접 디지털 주파수 합성기에서의 위상 누산기의 출력 중 상위비트만 사인 품업 테이블의 어드레스비트(Address Bit)로 사용하는데, 이로 인해 위상 트렁케이션(Phase Truncation)과 한정된 사인률의 크기 즉, 한정된 샘플링(Sampling)데이터로 인한 진폭 트렁케이션(Amplitude Truncation)이 발생한다.

1. 사인률제2도.(4)에서의 샘플링으로 인한 이산형 고조파 성분과 백색잡음(White Noise)이 발생하여 흔변조 성분이 초래되었다.

1 한 현상을 제거하기 위하여 종래의 장치에서는 위상 누산기의 출력 전부를 사인률의 어드레스 비트로 사용하고 사인률의 품(ROM) 사이즈를 적으로 증가하는 많은 양의 출력 저장(ROM) 데이터가 요구되었기 때문에 주파수 합성기의 칩(Chip) 크기가 커지는 단점이 있었다.

높은 안정도와 고해상도의 정현파를 발생시키기 위해서 위상누산기의 모든 출력비트를 사인 품업 테이블의 어드레스 비트로 사용할 경우에 발생하는 진성(Intrinsic) 위상 트렁케이션 및 진폭 양자화(Amplitude Quantization)로 인한 백색 잡음(White Noise)과 스프리어스 잡음(Spurious noise) 등을 제거하는 것이 불가능하여 주파수 합성 기능이 떨어지는 문제점이 있었다.

클럭 주파수의 1/4에 불과하는 합성 주파수를 얻을 수 있기 때문에 저전력 CMOS기술을 사용한 통상의 회로 구성인 경우에는 20MHz이상

서 본 발명은 상술한 종래의 문제점을 개선하여, 높은 주파수(50MHz이상) 합성이 가능하고, 주파수 해상도 및 위상과 주파수의 안정도를 향

킬 수 있으며, 주파수 합성기의 디바이스 칩(Chip) 크기를 줄여서, 오늘날 이동통신 기기의 주파수 합성장치에 적합한 개선된 디지털 주파수

한 바와 같은 목적을 달성하기 위하여 본 발명은, 종래의 직접 디지털 주파수 합성기에 파이프라인 구조의 위상누산기를 병렬연결하여 구성

첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

2는 본 발명의 일실시예에 따른 직접 디지털 주파수 합성기의 블록 구성도이다.

3에 도시된 바와 같이, 파이프라인 구조의 NCO형 위상누산기와 사인률 사이에 또 다른 형태의 파이프라인 구조의 NCO형 위상누산기 형태

를 정형기(Phase Shaper)가 삽입된 것이 제 1 도에 도시된 종래의 직접 디지털 주파수 합성기와 다른 점이다.

4 위상누산기의 출력 중 하위 비트 일부를 필터링시켜 줄인 후, 이 하위 비트가 필터링된 출력을 상기 잡음정형기로 통과시켜, 그 출력 비트를 (Over-Sampling)방법을 적용하는 통상의 디지털 신호 발생기에서 위상 트렁케이션(Phase Truncation)으로 인해 발생되는 출력 스펙트럼

타나는 백색잡음과 스프리어스 잡음(Sourious Noise)을 최소화함과 동시에, 고속 처리가 가능하다.

5는 본 발명에 따른 직접 디지털 주파수 합성기에 사용되는 잡음 성형기의 구성도로서, 파이프라인 구조의 NCO형 위상누산기가 다수 개 연

제 4 도는 본 발명에서 사용하는 위상가산기의 구조도로서, 파이프라인구조를 도시하고 있다.

제 5 도는 본 발명의 제 2 실시예에 따른 직접 디지털 주파수 합성기의 블록 구성도이다.

주파수조정 웨드 발생기(502)에서 클럭4(클럭1의 4배 주기에 해당)에 동기된 FCWD0, FCWD1, FCWD2, FCWD3와 4*FCW인 주파수 조정 원드를 각각 발생시켜 디지털 주파수 합성기의 중간단인 덧셈기와 위상가산기의 제어 입력으로 사용한다.

여기에서, FCWD0, FCWD1, FCWD2, FCWD3와 4*FCW은 주파수 조정 웨드들로서 각각 0클럭 (클럭4의 주기에 해당), 1클럭, 2클럭, 3클럭, 4클

따라서, 4단으로 병렬 연결한 새로운 디지털 주파수 합성기들의 사인률 각각의 출력이 클럭4를 기준으로 한 1주기, 2주기, 3주기와 4주기만큼 각각 지연되도록 구성할 수 있고 이들을 다시 4:1 Mux에서 다중화한다.

제 6 도는 본 발명의 제 2 실시예에 따른 4:1 엑스의 블록 구성도이다.

클럭과 선택신호들을 이용한 다중화 방법으로 결합 출력 호들이 4배인 단일 출력을 발생한다.

제 7 도는 상기 엑스에서의 클럭과 선택 신호의 파형도이고, 제 8 도는 상기 엑스에서의 최종 출력단의 파형도이다.

제 8 도는 본 발명의 제 2 실시예에 따른 직접 디지털 주파수 합성기에 대해 시뮬레이션한 결과의 파형도이다.

제 8 도와 관련하여 상기 엑스의 출력 결과의 주기가 4배 빨라짐을 알 수 있다.

1. 각각의 2진 데이터 값이 입력되면 프리스퀴 래치(Pre-Skew Latch)를 거쳐 주파수 조정 원드 발생기(502)에 도달하고, 4클럭 지연된 4FCW ! 주파수 조정 웨드가 발생하여 4단의 병렬 구조로 연결된 파이프라인 구조의 NCO형 위상누산기(503 내지 506)에 각각 전달된다.

1. 상누산기에서는 입력된 데이터가 클럭 주파수에 따라 가산되어 가산된 출력값이 다시 돌아와(Feedback) 원래의 값과 다시 가산되어 출력 신호 ! 위상값을 계수한 후 m개의 출력을 잡음정형기에 보낸다.

1. 음정형기에서는 필요로 하는 비트수 이외에 하위 비트가 잡음 정형기의 입력으로 궤환(Feedback)되어 다시 계수되며, 잡음 정형기 내부의 가 ! 기에서는 캐리비트(Carry Bit)를 발생시켜 사인률(515 내지 518)에 입력되는 잡음 정형기의 가산기 출력값을 보정한다.

1. 잡음 정형기내의 가산기는 사인률에서 요구하는 개수 만큼의 상위 비트 출력값을 사인률에 입력시키고, 나머지 하위 비트 출력값은 필터링 역 ! 을 하는 잡음정형기에 다시 입력시켜 출력값을 궤환시킨다.

인증에서는 입력된 비트 수만큼 샘플링하여 결정된 일련의 파형 정보 데이터 비트를 4:1 Mux(519)에 출력시킨다.

기한 기능 동작이 병렬로 구성된 위상가산기들 내부에서 동시에 발생하며, 위상 지연값은 주파수 조정 웨드에서 생성된 FCWD0, FCWD1, FCW ! 와 FCWD3 신호들에 의해서 각각 제어된다.

기한 엑스에는 제 5 도에 도시된 바와 같이 4단의 사인률 출력들이 한 클럭씩 지연되어 병렬로 도달하는데 이 출력들을 클러 주기가 1/4로 줄어 ! 일련의 단일 파형정보 데이터비트로 재구성하여 출력시킨다.

출력 비트가 디지털-아날로그 변환기와 저역통과 여파기를 통과하여 정현파 출력을 발생시키게 된다.

1. 상기한 본 발명의 제 1 실시예 또는 제 2 실시예는 파이프라인 구조의 NCO형 위상누산기 형태인 잡음정형기를 1단만 삽입하여 구성한 것 ! 같은 형태의 잡음정형기를 다단으로 구성하게 되면 보다 더 개선된 주파수 특성을 얻을 수 있다.

1. 한 바와 같이 구성된 본 발명의 효과는 다음과 같다.

1. 동작 속도면에서는 높은 처리 속도를 갖는다.

1. 파이프라인 구조의 NCO형 위상 누산기를 사용하여 클럭 속도와 관계없이 누산 속도를 크게 개선하여, 통상의 직접 디지털 주파수 합성기보 ! 수배 이상의 합성 주파수를 얻을 수 있다.

1. 저전력형 CMOS기술로 직접회로화할 경우 전력 소모면에서 뿐만 아니라 칩 면적에서도 기존의 CMOS디지털 디바이스의 칩 크기를 줄일 수 ! 소형화와 저전력화가 가능하다.

나노(nano) 초 정도의 빠른 스위칭 스피드(Switching Speed)와 고해상도 주파수 특성을 가지므로 단독으로 시스템의 주파수 합성기에 활용 ! 수 있다.

1. 통상의 직접 디지털 주파수 합성기의 장점과 저잡음과 고안정성 광대역 주파수 특성을 갖는 위상동기루프(Phase-locked Loop)주파수 합 ! 각 장점을 함께 이용한 혼합형 주파수 합성기에 활용할 수 있다.

첨구의 범위

1.

주파수 조정 입력을 입력받는 입력단: 상기 입력단과 연결되며, 시스템 클럭에 응하여 주파수 조정 입력을 저장하는 프리스큐 래치(Pre-Skew Latch); 상기한 프리스큐 래치가 일 입력부와 연결되고, 상기한 프리스큐 래치를 통해 입력된 주파수 조정 입력이 시스템 클럭에 응하여 가산되므로 출력신호의 위상값을 계수하는, 파이프라인 구조의 NCO형 위상가산기; 및 상기 위상가산기의 출력부에 입력부가 연결되어, 소정의 상위비트는 출력하고 그외의 하위 비트는 상기 위상가산기의 다른 입력부에 출력하는 위상레지스터로 구성된 위상누산기; 상기 위상누산기의 출력부에 입력부가 연결되어, 소정의 상위 비트는 출력하고, 나머지 하위비트는 입력부로 다시 케환되어 필터링 역할을 하는 잡음성형기; 상기 잡음성형기의 출력부에 디스큐 래치(De-Skew Latch); 상기 디스큐 래치의 출력부에 입력부가 연결되어, 상기 디스큐 래치를 통해 입력된 비트 수 만큼 샘플링하여 결정된 일련의 파형정보 데이터비트를 출력하는 사인 풀: 상기 사인 풀의 출력부에 입력부가 연결되어, 상기 사인 풀에서 출력된 파형정보 데이터비트를 아날로그 신호로 변환하는 디지털/아날로그 변환기; 및 상기 디지털/아날로그 변환기의 출력부에 입력부가 연결되어, 상기 디지털/아날로그 변환기로 부터 출력되는 아날로그 신호를 입력받아 고주파를 제거하여 정현파를 출력하는 저역통과필터로 구성된 것을 특징으로 하는 직접 디지털 주파수 합성기.

구항 2.

제 1 항에 있어서, 상기 잡음성형기는 위상가산기와 위상레지스터로 구성된 위상누산기가 다수개 직렬로 연결되어 형성된 것을 특징으로 하는 직접 디지털 주파수 합성기.

구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 위상가산기는 파이프라인 구조인 것을 특징으로 하는 직접 디지털 주파수 합성기.

구항 4.

주파수 조정 입력을 입력받는 입력단: 상기 입력단과 연결되며, 시스템 클럭에 응하여 주파수 조정 입력을 저장하는 프리스큐 래치(Pre-Skew Latch); 상기 프리스큐 래치의 출력부에 입력부가 연결되어 상기 주파수 조정 입력을 입력받으며, 시스템 클럭이 0클럭 지연된 FCDW0, 1클럭 지연 FCDW1, 2클럭 지연된 FCDW2, 3클럭 지연된 FCDW3, 4클럭 지연된 4*FCW의 주파수 조정 웨드를 발생하는 주파수 조정 웨드 발생기; N개가 직렬로 연결된 위상누산기와 잡음성형기; 상기 잡음성형기의 출력부와 일 입력부가 연결되고 상기 주파수 조정 웨드 발생기의 일 출력부가 다른 입력부에 연결되어, 상기 잡음성형기의 출력과 상기 주파수 조정 웨드(FCWD_i, i=1 내지 4)를 가산하는 제 1 내지 제 4 덧셈기; 상기 덧셈기의 출력 제 4 디스큐 래치(De-Skew Latch); 상기 디스큐 래치의 출력부에서 입력부가 연결되어, 상기 디스큐 래치를 통해 입력된 비트 수 만큼 샘플로 단일 신호로 출력하는 억스; 상기 억스의 출력부에 입력부가 연결되어, 상기 억스에서 출력된 파형정보 데이터비트를 아날로그 신호로 변환하는 디지털/아날로그 변환기; 및 상기 디지털/아날로그 변환기의 출력부에 입력부가 연결되어, 상기 디지털/아날로그 변환기로부터 출력되는 아날로그 신호를 입력받아 고주파를 제거하여 정현파를 출력하는 저역통과필터로 구성된 것을 특징으로 하는 직접 디지털 주파수 합성기.

구항 5.

4 항에 있어서, 상기 위상누산기는 상기한 주파수 조정 웨드 발생기로부터의 4*FCW의 시스템 클럭에 응하여 가산되므로 출력신호의 위상값 계수하는, 파이프라인 구조의 NCO형 위상가산기; 및 상기 위상가산기의 출력부에 입력부가 연결되어, 소정의 상위비트는 출력하고 그외의 하위비트는 상기 위상가산기의 다른 입력부로 케환시키는 위상레지스터로 구성된 것을 특징으로 하는 직접 디지털 주파수 합성기.

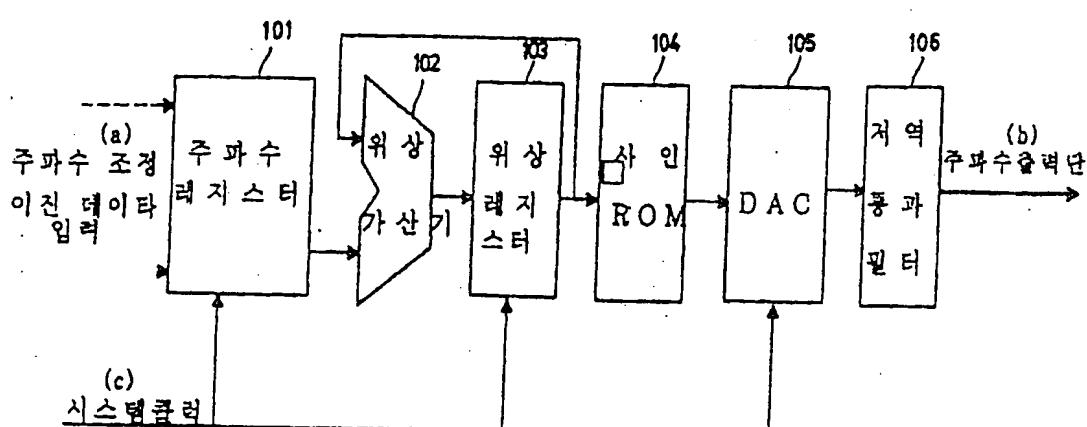
구항 6.

4 항에 있어서, 상기 잡음성형기는 상기 위상누산기의 출력부에 입력부가 연결되어, 소정의 상위비트는 출력하고, 나머지 하위비트는 입력부 다시 케환되어 필터링 작용을 하는 것을 특징으로 하는 직접 디지털 주파수 합성기.

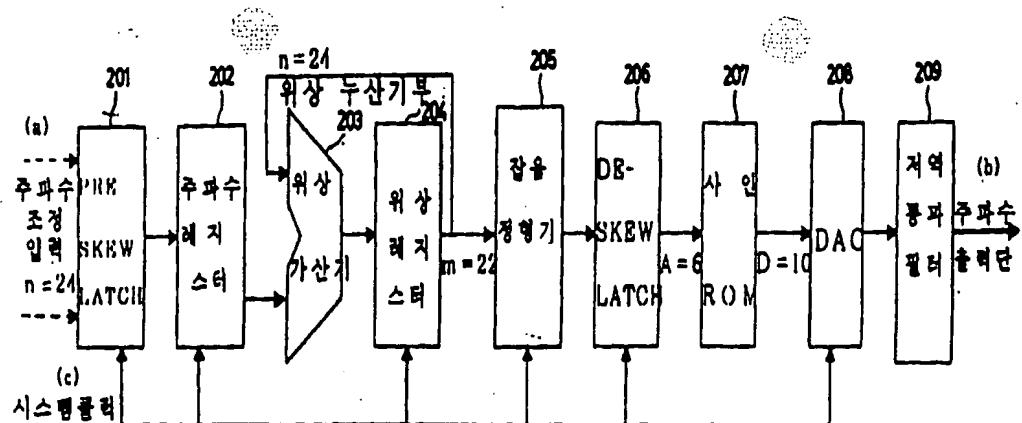
구항 7.

4 항에 있어서, 상기 잡음성형기를 2단 이상으로 다단으로 구성된 것을 특징으로 하는 직접 디지털 주파수 합성기.

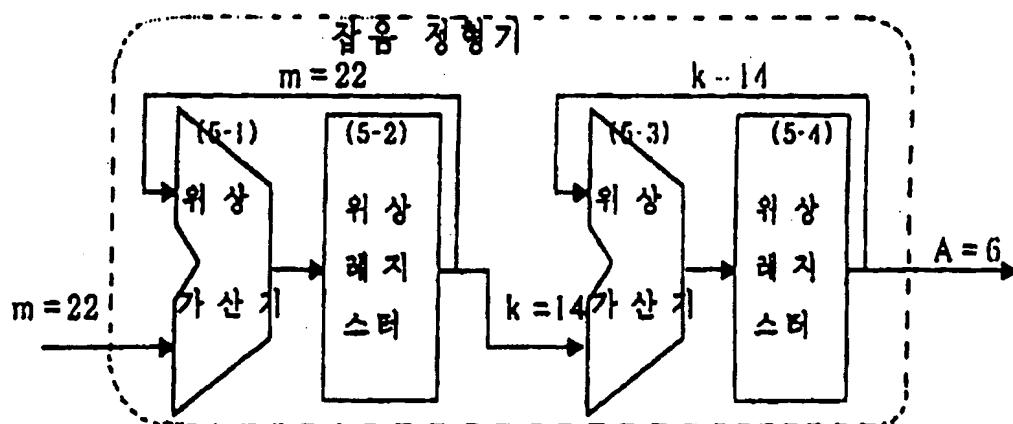
도면 1



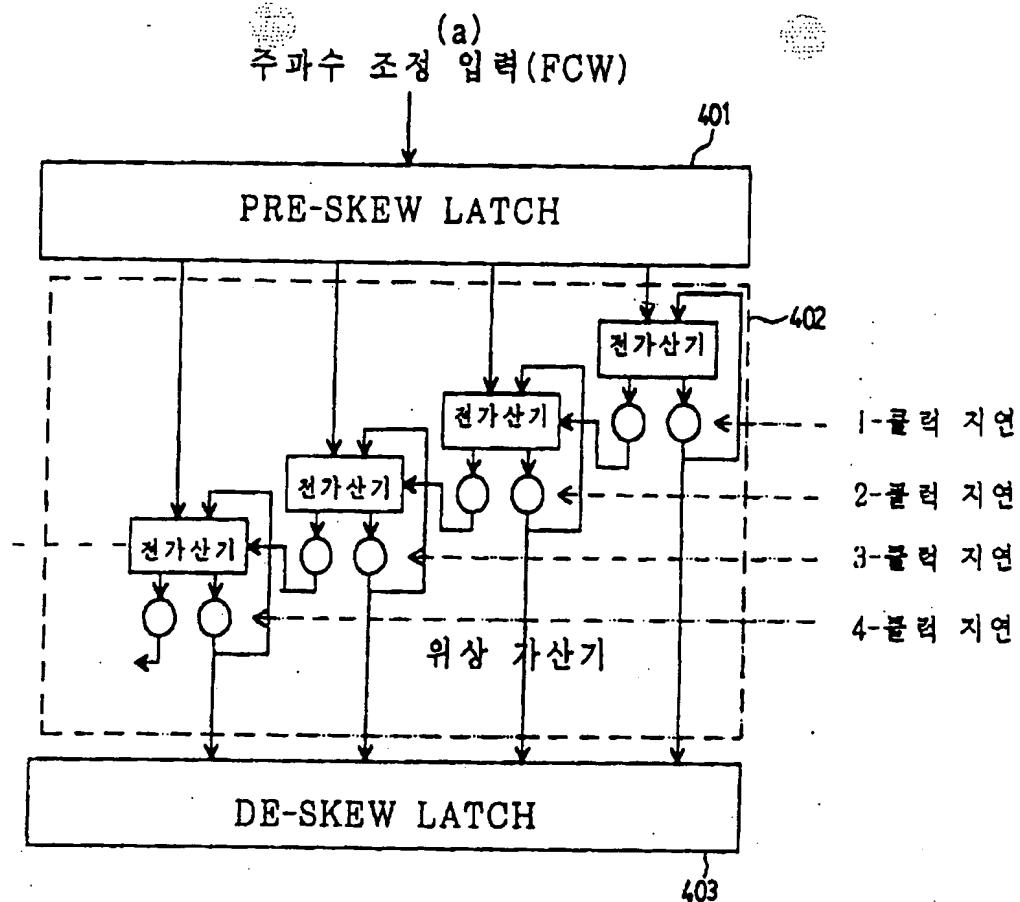
도면 2



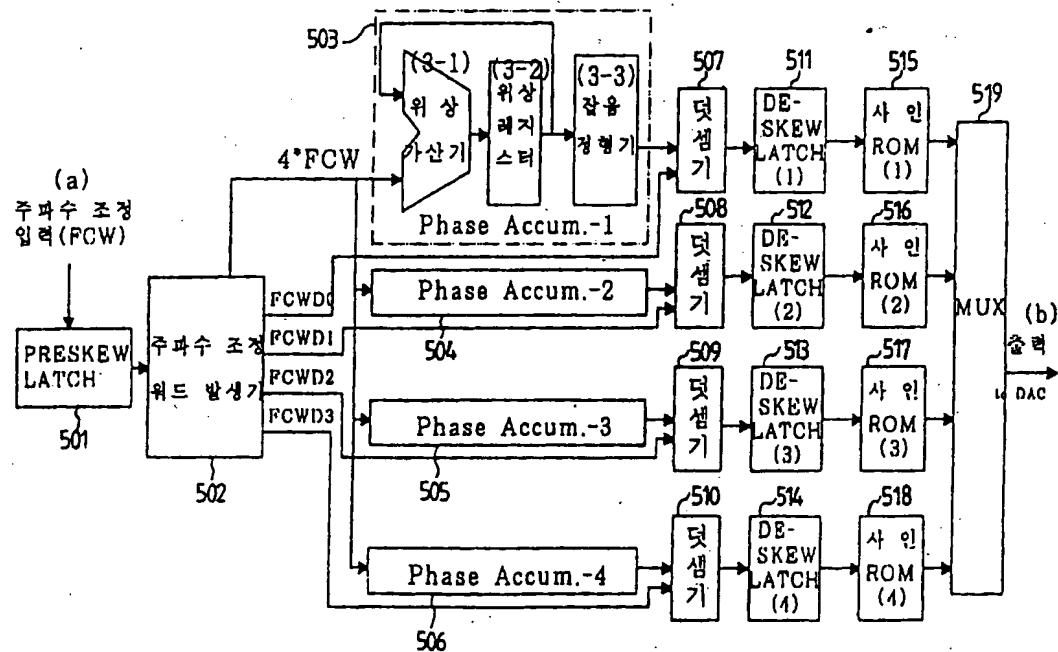
도면 3



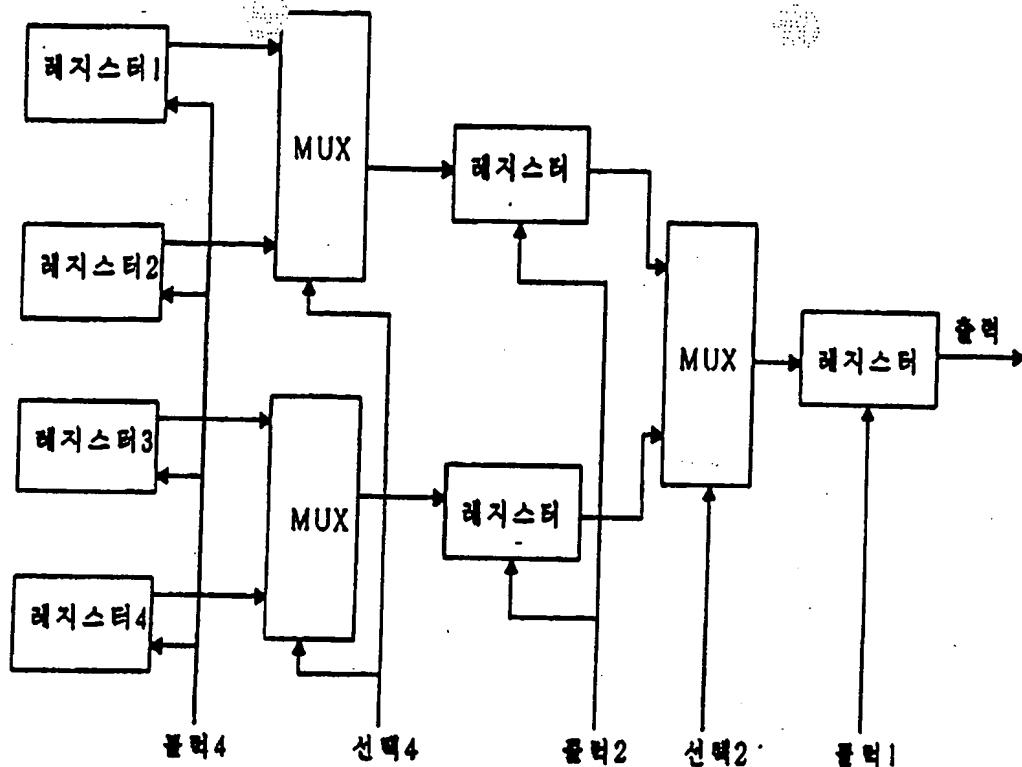
도면 4



도면 5

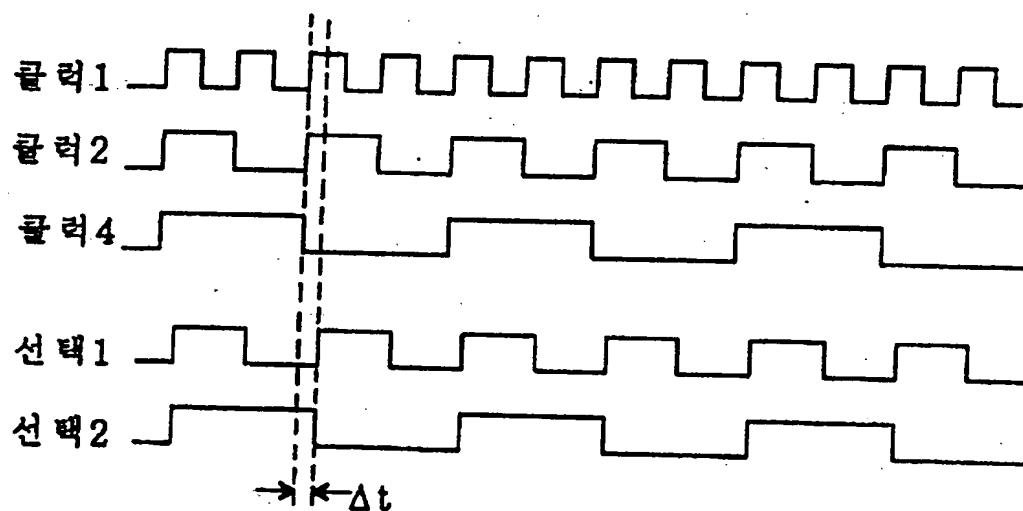


도면 6

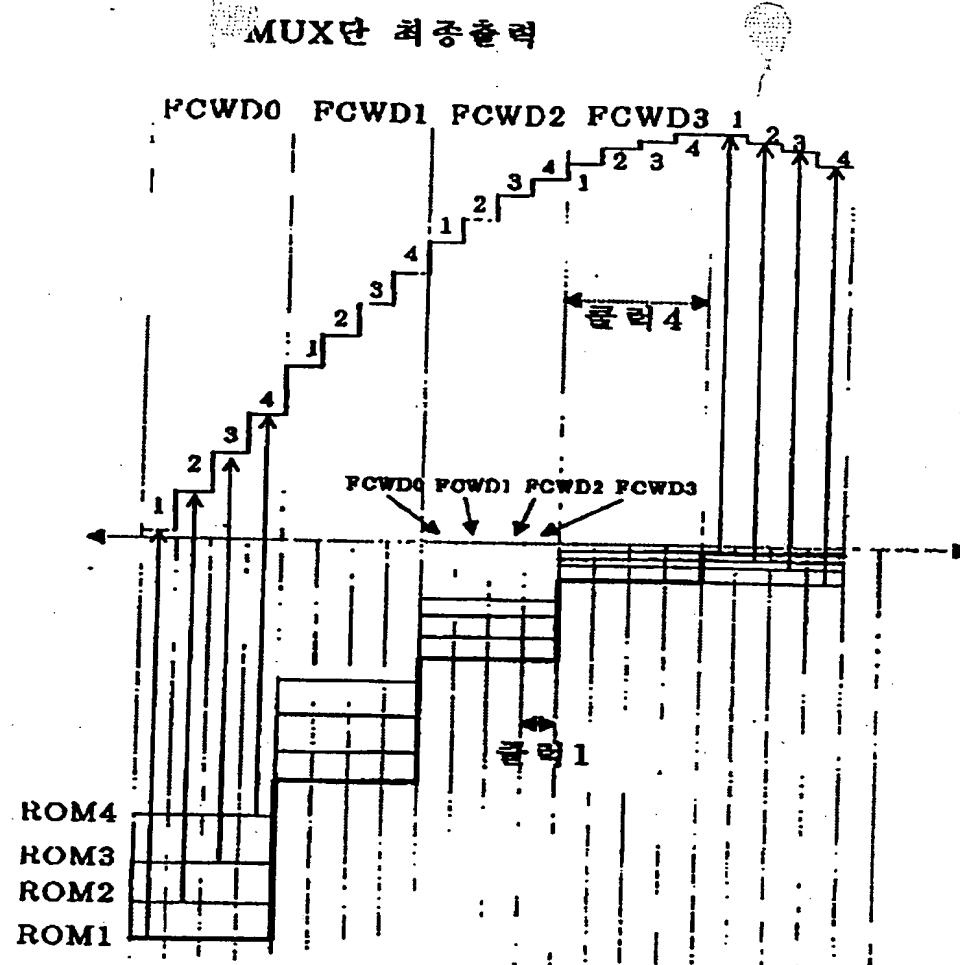


4:1 MUX

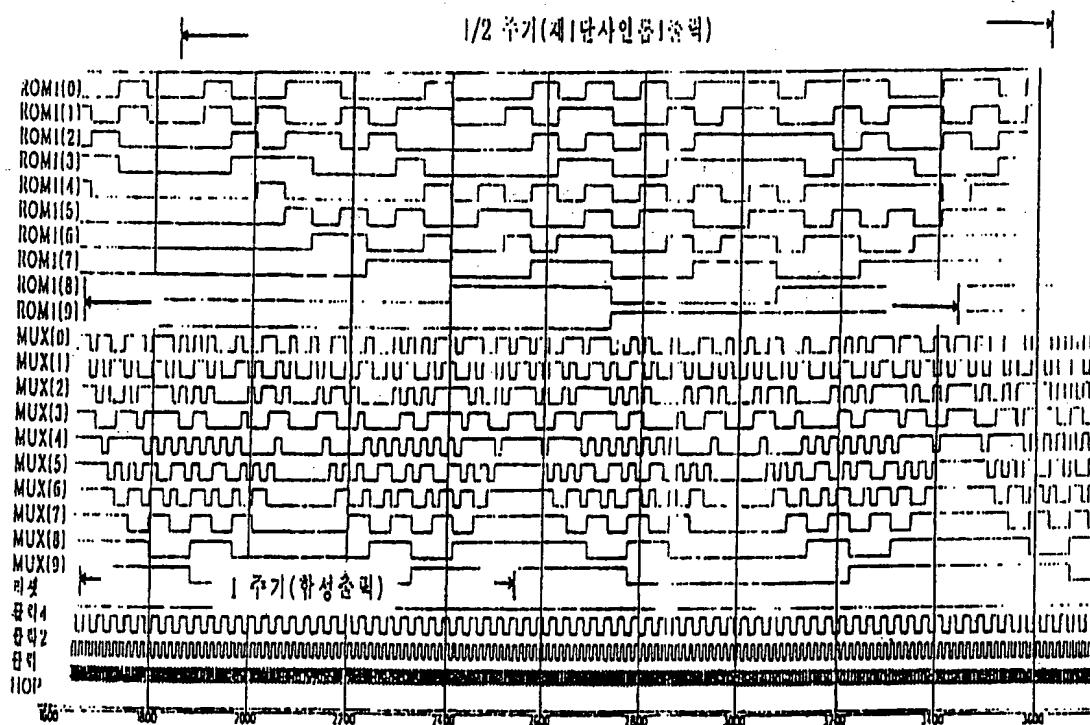
도면 7



도면 8



도면 9



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.